

文章编号:1007-2780(2017)02-0117-07

基于 IP 核的多接口 LCD 控制器的设计及实现

陈东成*, 胡敬营, 吕卫国, 曾范昌
(江苏自动化研究所, 江苏 连云港 222061)

摘要:为解决多输入格式视频在同一 LCD 上显示的问题,设计了一种基于 IP 核的支持多种视频输入接口的 LCD 控制器。采用 IP 核产品搭建系统的框架,系统核心控制 CPU 采用了 Xilinx 的 MicroBlaze 软核,以控制各 IP 核的初始化以及工作方式,系统对外通信通过串口实现;通过 Xilinx 的集成逻辑分析仪 IP 核 ILA 在线采集输入、中间以及输出数据,验证系统的可行性及数据处理的正确性。最终的实验结果表明,本文设计的基于 IP 核的多接口 LCD 控制器能够驱动 LCD 原屏,并且能够支持多种接口的视频输入,显示画面稳定,满足作为 PC 输出设备及其他接口视频监视设备的要求。

关键词: FPGA; 视频接口; LCD 控制器; IP 核; ILA

中图分类号: TN941.1 **文献标识码:** A **doi:** 10.3788/YJYXS20173202.0117

Design and implementation of muti-interface LCD controller based on IP cores

CHEN Dong-cheng*, HU Jing-ying, LV Wei-guo, ZENG Fan-chang

(Jiangsu Automation Research Institute, Lianyungang 222061, China)

Abstract: In order to solve problem of displaying different kinds of input video on LCD, an LCD controller based on FPGA which supports different kinds of video is designed. The system frame is formed of different IP cores. The system CPU is Xilinx Microblaze soft core, which is used to control the IP core. The communication between PC and microblaze use the UART core. In order to survey the signals in the FPGA to identify the logic, the Xilinx integrated logic analyser IP core ILA is used to survey the critical signals. The result shows that the designed LCD controller based on IP core can drive the LCD, the system supports several video ports. The displaying picture is stable, which can be used as PC displaying device or displaying other videos.

Key words: FPGA; Video port; LCD controller; IP core; ILA

1 引言

液晶显示器目前是商用计算机的必要显示设

备,同时也是军用计算机的主要显示设备,无论商用还是军用都有着巨大的市场。常用的显示器接口类型有 VGA (Video Graphics Array)、DVI (Digital Visual Interface),现在较新型的显示器

收稿日期:2016-08-14;修订日期:2016-10-18.

基金项目:江苏省自然科学基金项目(No.BK20130401)

Supported by Science and Technology Developing Funding of Jiangsu Province(No.BK20130401)

* 通信联系人, E-mail: chendongcheng8710@163.com

也具有 HDMI(High Definition Multimedia Interface)或者 DP(Display Port)作为输入接口的,这些接口中用到的最多的接口是 VGA 接口,VGA 接口最大支持分辨率可达 $1\,920 \times 1\,200$,目前商用计算机通常也有模拟和数字两类接口,模拟视频通常采用 VGA 接口,数字接口通常是 DVI 接口,较新型的计算机也具有 DP 输出接口。目前生产显示器的厂商众多,各大计算机厂商均生产自己的显示器,其他公司如三星、AOC 等厂商也有自己的显示器领域的市场。LCD 控制器是显示器的核心控制部分,用来控制显示器的输入类型、使显示器适应输入视频的分辨率以及调整输入视频的亮度、对比度等参数。各厂商的 LCD 控制器通常采用专用的定制芯片作为核心芯片,芯片的核心技术被少数几个厂商掌握,国内则在核心芯片方面受国外厂商制约;另外,国外厂商生产的 LCD 控制器芯片更新换代的周期极快,通常 3~5 年就会停产,无法满足一些国产显示设备的保障需求。针对以上的问题,设计了一种基于 IP 核的多接口 LCD 控制器,其核心部分采用 IP 核的方法实现,并且能够支持多种类型视频接口的输入,由 FPGA 输出 LVDS 数据实现驱动 LCD,利用串口实现对系统的控制,能够满足某些特殊应用的多功能综合显示的需求,重要的是核心技术采用 IP 核实现,将逻辑在 FPGA 芯片上实现,使得功能不受特定芯片的影响,满足某些特殊产品保障周期长的要求。

常用的显示器通常支持普通计算机输出的视频输出接口,如 VGA、DVI,目前最新的计算机通常还会具有 HDMI 或者 DP 视频接口,这两种接口能够传输高清甚至超高清的数字视频,是今后计算机是输出接口的发展趋势^[1]。科研生产中常用的显示设备通常还能作为普通摄像机的监视器使用,目前的摄像机通常是 PAL 或 NTSC 制的,也就是目前广播电视最常用的接口类型,因而设计一款既能够作为计算机显示器,同时也可以作为模拟摄像机监视器的显示设备具有重要意义^[2-3]。

目前国内外的显示设备厂商所生产的设备核心处理芯片均采用专用显示芯片,主要芯片厂家有 Mstar、ST 以及 Realtek 等,这些芯片厂商基本垄断了显示设备的核心控制芯片。显示专用芯片通常会支持多种视频接口,但是无法实现多种视

频数据的同时输入,因而如果显示系统需要画中画或者画面分割显示时,运用专用芯片的显示系统控制板的设计会比较复杂。采用 FPGA 作为核心芯片就使得整个显示系统的设计更加灵活,由于可以通过增加视频输入 IP 核来增加视频可同时输入的视频路数,并且可以通过其他的数据处理 IP 核实现多功能显示,满足复杂显示系统的需求^[4]。然而,当多路视频同时输入到基于 FPGA 的显示系统并且要求同时显示到同一 LCD 时,视频数据的缓存、拼接以及输出时的数据同步就成了难以解决的问题,因而采用 FPGA 的多接口 LCD 控制器并不能无限制增加输入视频的数量。

本文设计的 LCD 控制器支持一般计算机的输出接口,具有 VGA、DVI、HDMI,系统中还添加了 PAL/NTSC 接口,满足了普通家用的要求及科研使用中监视器的功能。系统目前初步实现了单路多种接口视频信号的输入及显示,在后续的工作中,将研究实现多路多种接口视频同时输入,实现画面分割显示以及任意路视频的全屏显示,并且将实现视频的画中画功能。

2 系统设计

LCD 控制器主要包括输入接口、输出接口、解码模块、数据缓存模块、串口控制、电源模块、外部存储模块以及 FPGA 核心处理模块几个部分,系统框图如图 1 所示,以下分别介绍各个部分的组成及功能。

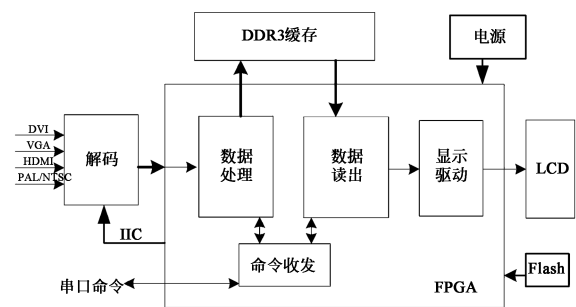


图 1 系统功能框图

Fig.1 System functional block

2.1 输出显示接口设计

系统所采用的 LCD 原屏是 SHARP 的 TFT-LCD 模块,该屏的分辨率为 $1\,600 \times 1\,200$,驱动数

据为 24 bit 数据,分为 RGB 三种数据,每种数据占 8 bit。LCD 的对外接口为两场 $800 \times 1\,200$ 的 LVDS 信号,每场信号有四对数据线和一对时钟线。图 2 为 LCD 原屏的 LVDS 驱动数据协议时序,由图可知 LVDS 信号中包含了所有的图像数据信息以及视频的同步信息。本系统的图像数据在 FPGA 内根据显示屏的驱动接口协议进行编码,通过 LVDS 信号引脚输出,直接驱动 LCD 原屏^[5-6]。

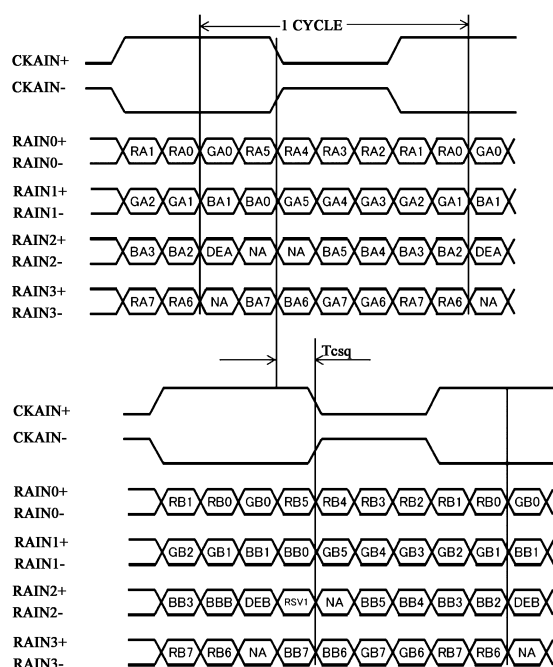


图 2 LCD 原屏驱动时序图

Fig.2 LCD driving sequence

2.2 视频输入模块

采用了 ADV7842 作为视频解码芯片,该芯片可解码多种类型的视频信号,包括 HDMI、DVI、VGA 以及 PAL/NTSC 接口类型的视频,这包含了显示器常用的接口类型。解码芯片支持 HDMI 1.4a 协议,由于 DVI 与 HDMI 的兼容性,并且该芯片有两组 HDMI 解码接口,因此该芯片同时也能够解码 DVI 1.0 信号。该解码芯片的模拟视频接口支持 VGA,最大支持 $1\,920 \times 1\,200 @ 75 \text{ fps}$ 的 UXGA 模拟视频。视频解码后的输出格式可选择 RGB 或 YCbCr 格式,对于 PAL/NTSC 制的各行扫描视频可转换成逐行扫描视频输出。该解码芯片的上述几种数据接口并行存在,但是同一时刻只能有一种接口工作,满足了显示器多种接口类型的要求^[7]。

2.3 数据缓存单元设计

由于所设计的 LCD 控制器支持多种分辨率的视频输入,将输入的视频都将在一块 $1\,600 \times 1\,200$ 的 LCD 显示屏上输出,对于输入分辨率不等于 $1\,600 \times 1\,200$ 的视频,需要将视频转换成 $1\,600 \times 1\,200$ 的分辨率输出显示,然而所用的 FPGA 资源宝贵并且非常有限,这里采用外部 DDR3 存储芯片作为数据处理的中间缓存芯片。本系统目前的硬件设计是四路输入视频,为后续研究四路画面分割器以及画中画功能做了准备,并且以后能够支持 4K 视频的显示以及其他功能的开发,系统在设计时采用了 4 片 DDR3 芯片组成了 64 bit 的外部存储空间,DDR3 芯片的实际运行速度可达 800 MHz,这里设 DDR3 的对写效率为 70%,那么系统的外部存储带宽可达 $800 \text{ MHz} \times 2 \times 64 \text{ bit} \times 70\% = 8.96 \text{ GB/s}$,完全满足系统的带宽要求,足以可支持帧频为 60 帧的 4K 视频的数据缓存需要。DDR3 的另一个作用是输入输出帧率的转换,系统输出 LCD 的帧率是 60 fps,而当输入数据为模拟视频 PAL 时,其帧频只有 25 帧,通过 DDR3 就能够使输出、输入帧频平缓过渡。

2.4 FPGA 处理单元设计

FPGA 作为系统的核心处理单元承担了绝大部分数据处理任务,FPGA 采用了 Xilinx 的 XC7V485T 系列芯片,该芯片片上资源丰富,满足系统当前的资源需求,同时也能够满足 4K 视频显示控制系统开发的需求。开发环境采用 Xilinx 公司专门用来开发 7 系列 FPGA 的集成开发环境 vivado,该开发环境可通过图形化界面操作,用多种 ip 核模块搭建复杂的数据处理系统。

系统的核心处理工作均在 FPGA 中完成,数据在 FPGA 中的处理流程原理框图如图 3 所示,图中所示为系统的关键 IP 核,MicroBlaze 核是系统的控制核心,通过 axi 总线同 LogiWin、LogiCVC 以及 MIG 等 IP 核进行数据交换,控制 IP 核的工作模式。图像数据通过解码芯片解码输入到 FPGA 中的 LogiWin 核,该核的作用是对输入的图像做初步的处理,如输入图像和 LCD 的分辨率不匹配时,该 IP 核能够将图像缩放到 LCD 分辨率的尺寸,该 IP 核也能够对输入数据做颜色空间以及亮度、对比度等基本的图像变换;LogiWin 处理过的图像通过 MIG 核存储到片外

DDR3,以便 LogiCVC 核从中读取数据,使得图像能够以 LCD 所支持的帧率被读出,保证了输入输出视频帧率的平缓过渡以及稳定显示;LogiCVC 核的作用是按照 LCD 的接口协议生成标准视频时序,同时 LogiCVC 从 DDR3 中读取视频数据插入到生成的标准视频时序中。由于系统所用的 LCD 原屏的驱动数据有两场 LVDS 信号,如图 2 所示,两场数据拼成了整帧 $1\ 600 \times 1\ 200$ 的图像,这里设计了一种 Single to Dual 核将 LogiCVC 输出的并行 LCD 驱动时序按奇偶时钟分成两组并行数据,分完的两组并行数据通过 parallel to LVDS 核转成 LVDS 信号输出直接驱动 LCD 原屏。系统采用 LogiWin 和 LogiCVC 作为核心视频数据处理单元,当输入系统的视频分辨率与 LCD 分辨率相同时,IP 核并不会对图像做缩放或压缩等处理,因而输出到 LCD 的视频画面质量并不会有任何改变;当输入的视频分辨率不等于 LCD 分辨率时,LogiWin 核将画面缩放到 LCD 的分辨率,该 IP 核采用双线性差值算法与传统的专用显示芯片中所采用的算法效果相当,因而不会影响最终输出视频的显示效果。

另外,系统所采用的解码芯片 ADV7842 需通过 IIC 总线配置工作模式,采用 FPGA 中的 IIC 核作为控制接口,控制核心 MicroBlaze 将 IIC 控制数据通过 IP 核发送到 ADV7842;外部的控制命令通过串口发送到 FPGA,使得系统能够根据命令情况配置 ADV7842 的工作方式,同时也能够将系统当前的状态发送到外部控制单元,系统的外部控制接口采用串口 IP 核,该核作为外部控制核心与 MicroBlaze 的传输中介,使得系统能够与外部友好交互;由于 VGA 视频支持的分辨率有很多种,对于目前的 VGA 视频解码芯片,通常都不能自适应不同分辨率的 VGA 视频。设计了一种检测 VGA 视频输出的 IP 核 vag_adapt,由于解码芯片 ADV7842 的工作模式通过寄存器设置,这里通过设置使解码器在 VGA 模式时,当输入的 VGA 信号分辨率与 ADV7842 当前设置的分辨率不匹配时,ADV7842 整帧都输出特定像素值的数据,vag_adapt 通过判断解码芯片连续几帧是否一直是改像素值,如是,则向 GPIO 模块发出中断,否则 vag_adapt 继续分析解码芯片输出的数据。这里在 LogiCVC 输出端添加了 vag_adapt 核来判断是否有视频输入,如无视频输入,

则 vag_adapt 核向 GPIO 核发送状态信号,GPIO 向控制核心发出中断,使得系统能够自适应 VGA 输入;本 LCD 控制器系统的复杂性较高,综合后生成的 bit 文件较大,如直接将其烧写到 flash 中,在系统上电启动时,由于系统中存储程序的 ram 存储资源有限,将导致程序无法自启动,因此,系统上电用 Bootloader 通过 SPI 将 flash 中的程序引导到 DDR3 中,系统从 DDR3 执行程序,这样可以实现程序上电的自启动^[8-9]。

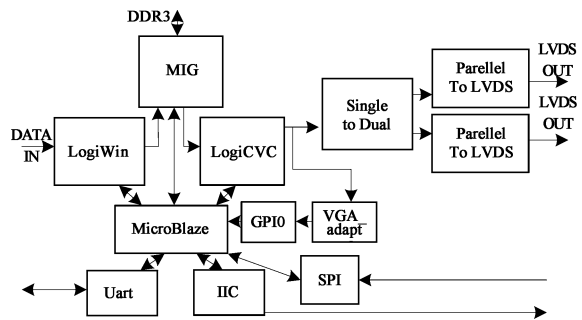


图 3 FPGA 内部功能框图

Fig.3 Functional block in FPGA

3 MicroBlaze 程序设计

本文所设计的 LCD 控制系统的 FPGA 设计部分包括硬件语言设计以及软件语言设计两部分,系统的硬件语言设计部分即上述通过 IP 核搭建系统的框架,所用的 IP 核为自己设计或 Xilinx 官方提供的 IP 核,框架搭建完成后即可生成相应的硬件描述语言。系统的核心控制工作有 MicroBlaze 软核来完成,该软核是一种针对 Xilinx FPGA 器件而优化的功能强大的 32 位处理器,是业界最快的软处理器 IP 核解决方案,支持 Core-Connect 总线的标准外设集合,具有兼容性和重复利用性,最精简的核只需将近 400 个 Slice,软件程序用 C 语言编写。

3.1 初始化设计

这里的核心控制 MicroBlaze 控制着整个系统中各个模块的初始化、工作模式的配置以及对数据的处理,软件控制程序占了整个系统工作量的一半以上。程序开始首先要初始化 MicroBlaze 软核,使 MicroBlaze 能够正常工作,然后通过 IIC 核初始化解码芯片 ADV7842,配置解码芯片的工作模式;第三初始化视频读取 IP 核 LogiCVC,配

置 IP 核工作方式以及读取数据映射的内存地址；第四配置图像处理 IP 核 LogiWin, 配置 IP 核的工作方式以及处理完的数据存储的地址；最后就是设置控制单元接口的中断方式, 即设置串口模块的中断触发方式及 GPIO 中断的出发方式。

3.2 串口中断设计

系统的串口中断主要用来控制信号源的切换、输入图像的任意比例缩放处理等。当串口收发单元收到外部向系统发送命令时,串口单元立即向 MicroBlaze 核产生中断信号,程序进入串口中断处理部分,在中断中首先判断所接收到的命令,如接收到的是信号源的切换,则此时 MicroBlaze 核将 ADV7842 的控制命令通过 IIC 核发送到 ADV7842,使得其切换解码信号源及解码方式,如接收到其他控制命令,则在中断中进行相应的处理。

3.3 VGA 分辨率自适应设计

当输入的 VGA 视频分辨率发生变化时,由于 ADV7842 并不能自适应输入视频分辨率的变化,此时解码芯片输出的数据为 0,通过设计的 vga_adapt 核对解码芯片输出的数据进行统计分析,如判断此时无输入数据,则 vga_adapt 核将状态发送到 GPIO 核,此时 GPIO 核向 MicroBlaze 核发出中断, MicroBlaze 核通过 IIC 核将 ADV7842 的配置参数发送到 ADV7842,使得 ADV7842 的支持分辨率切换,如此轮询所有分辨率,直到 ADV7842 能够输出有效数据,此时 vga_adapt 核则不再向 GPIO 核发送切换分辨率状态。图 4 为系统软件流程图。

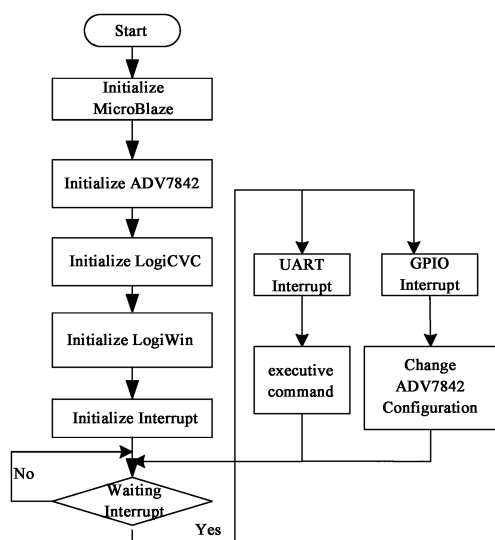


图 4 MicroBlaze 软件流程图

Fig.4 Flow chart of MicroBlaze software

4 实验及讨论

这里所设计的基于 IP 核的多接口 LCD 控制器支持 VGA、DVI、HDMI 以及 PAL/NTSC 几种接口,能够驱动分辨率为 $1\,600 \times 1\,200$ 的 LCD 原屏。由于系统的主要功能均是在 FPGA 中以 IP 核的形式实现的,因而设计过程中的结果验证能够影响系统设计的效率,Xilinx 的 Vivado 为基于 IP 核的设计过程中的行为验证提供了很好的解决方案,Vivado 的集成逻辑分析仪(ILA)IP 核能够测量任意 IP 核的任意信号的波形,可根据实际需求设定采集波形的深度,是系统设计过程中验证各个功能模块逻辑功能的有力工具^[10]。



图 5 LogiCVC 输出的数据时序

Fig.5 Sequence of LogiCVC output

设计过程中,IP 核 LogiCVC 的输出结果是需要观测的关键数据,而该数据是连接到其他 IP 核单元的,无法在外部直接通过示波器或逻辑分析仪测试,这里通过 ILA 核在线测试 LogiCVC 核输出结果。图 5 为通过 ILA 核采集的数据,图中可见,数据的行、场同步、24 位数据均正常,因此可判断 LogiCVC 单元从内存中读取的数据正

常。在视频数据处于行、场均有效时有图像数据，消隐期则数据均为 0。

另一个核心 IP 核是 LogiWin 核,该核将输入到 FPGA 的数据进行处理后写入到 DDR3 中,这里将 LogiWin 的 axi 总线连接到 ILA 核,观测 axi 总线的数据传输情况,如图 6 所示。图中可见,在 axi 总线写有效后,WDATA 的数据同过

MIG 写到 DDR3, 并且开始写时, 系统根据当前数据情况分配对应的写地址。写无效时则无数据输出到 MIG。

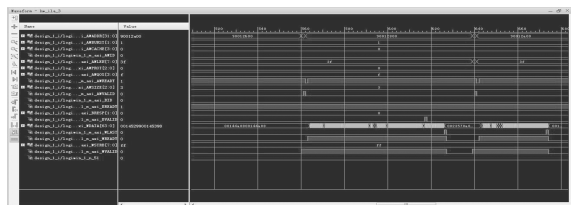


图 6 LogiWin 写入 DDR3 的时序

Fig.6 Sequenct of LogiWin writing data into DDR3

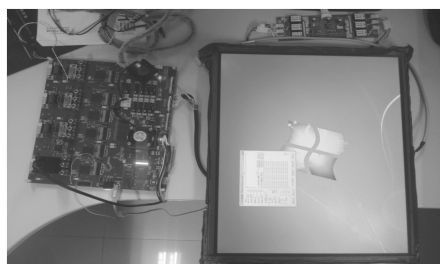


图 7 实验结果图

Fig.7 Experimental result

图 7 为系统的实物图, 左侧为所设计的 LCD 控制板, 右侧为加固的液晶原屏, 从液晶原屏的显

示可以看出, 计算机输出的 VGA 图像能够稳定清晰的图像。

5 结 论

设计了一种基于 IP 核的多接口 LCD 控制器, 系统以 Virtex7 FPGA 为核心处理芯片, 视频解码采用支持 VGA、DVI、HDMI 以及 PAL/NTSC 的 ADV7842 解码芯片, FPGA 处理完的视频直接以 LVDS 信号输出驱动 LCD 原屏。系统的核心视频处理框架由 LogiWin、LogiCVC、Single to Dual 和 vga_adapt 等数据处理 IP 核以及 GPIO、UART、SPI、IIC 等通信 IP 核搭建, 以 MicroBlaze 软核作为系统的控制核心, 外部采挂载 DDR3 作为数据缓存单元, 通过 MicroBlaze 核心控制软件的设计, 实现了 LCD 原屏的驱动以及多种接口视频的稳定显示, 同时实现了系统同外部控制单元的通信、程序自加载和 IIC 控制解码芯片等功能。系统调试过程中直接采用 ILA 核在线采集系统处理的中间数据, 有效加速了调试过程。最终结果表明, 本文设计的 LCD 控制器能够实现多种输入接口类型视频的处理及稳定显示。

参 考 文 献:

- [1] 吕国强, 梁监天, 芦云龙, 等. 显示器的实时色彩管理[J]. 光学精密工程, 2016, 24(2): 292-299.
Lü G Q, LIANG J T, LU Y L, et al. Real-time color management for displays [J]. *Optics and Precision Engineering*, 2016, 24(2): 292-299. (in Chinese)
- [2] 陶中丰. 基于 FPGA 的语音信号波形 VGA 显示方法[J]. 液晶与显示, 2016, 31(2): 185-192.
TAO Z X. FPGA-based speech signal waves displayed on VGA screen [J]. *Chinese Journal of Liquid Crystals and Displays*, 2016, 31(2): 185-192. (in Chinese)
- [3] 陈莹, 朱明. 多子直方图均衡微光图像增强及 FPGA 实现[J]. 中国光学, 2014, 7(2): 225-233.
CHEN Y, ZHU M. Multiple sub-histogram equalization low light level image enhancement and realization on FPGA [J]. *Chinese Optics*, 2014, 7(2): 225-233. (in Chinese)
- [4] 梅楠楠. 基于 FPGA 的特种 TV-LCD 显示驱动板的设计与实现[D]. 合肥: 合肥工业大学, 2007.
MEI N N. Design and implementation of special TV-LCD display driver board based on FPGA [D]. Hefei: Hefei University of Technology, 2007. (in Chinese)
- [5] 庄聪聪, 王大明, 李寒. 基于 ARM 与 FPGA 的 LCD 控制器设计[J]. 电子设计工程, 2010, 18(6): 14-16.
ZHUANG C C, WANG D M, LI H. Design of LCD controller based on ARM and FPGA [J]. *Electronic Design Engineering*, 2010, 18(6): 14-16. (in Chinese)
- [6] 刘建平, 曾文海, 黎福海, 等. 采用 FPGA 的 LCD 转 VGA 控制器的设计[J]. 计算机系统应用, 2011, 20(10): 71-73.
LIU J P, ZENG W H, LI F H, et al. Design of LCD to VGA controller using FPGA [J]. *Computer Systems & Applications*, 2011, 20(10): 71-73. (in Chinese)
- [7] Analog Devices. ADV7842 Dual HDMI 1.4 fast switching receiver with 12-Bit, 170 MHz video and graphics digitizer and 3D comb filter decoder [R]. Norwood, MA: Analog Devices, 2011.

- [8] 傅文炯.基于FPGA的TFT-LCD视频驱动系统设计[M].北京:北京化工大学,2013.
FENG W J. Design of TFT-LCD video driver system based on FPGA [M]. Beijing: *Beijing University of Chemical Technology*, 2013. (in Chinese)
- [9] 封岸松,战仕成,汪莹.基于FPGA的RGB到YCrCb颜色空间转换[J].现代电子技术,2010,33(10):122-124.
FENG A S, ZHAN S C, WANG Y. Color space conversion from RGB to YCrCb based on FPGA [J]. *Modern Electronics Technique*, 2010, 33(10): 122-124. (in Chinese)
- [10] 杨金宝,李飞,郝军伟.基于视频行场消隐期的大容量FLASH存储控制器[J].光学精密工程,2015,23(4):1153-1160.
YANG J B, LI F, QIE J W. Large capacity FLASH video storage controller base on blanking period of line and field signals [J]. *Optics and Precision Engineering*, 2015, 23(4): 1153-1160. (in Chinese)

作者简介:陈东成(1987—),男,江苏连云港人,博士,高级工程师,2010年于吉林大学获得学士学位,2015年于中国科学院长春光机所获得博士学位,主要从事显示设备的研发。E-mail: chendongcheng8710@163.com